

**TRANSMITTAL
FORM**

(to be used for all correspondence after initial filing)

Total Number of Pages in This Submission

3

Application Number

10/707,106

Filing Date

11/20/2003

First Named Inventor

Nai-Shung Chang

Art Unit

Examiner Name

Attorney Docket Number

VIAP0108USA

ENCLOSURES (Check all that apply)

Fee Transmittal Form



Fee Attached



Amendment/Reply



After Final



Affidavits/declaration(s)



Extension of Time Request



Express Abandonment Request



Information Disclosure Statement



Certified Copy of Priority Document(s)

Response to Missing Parts/
Incomplete ApplicationResponse to Missing Parts
under 37 CFR 1.52 or 1.53

Drawing(s)



Licensing-related Papers



Petition

Petition to Convert to a
Provisional ApplicationPower of Attorney, Revocation
Change of Correspondence Address

Terminal Disclaimer



Request for Refund



CD, Number of CD(s) _____

Remarks

After Allowance communication
to Technology Center (TC)Appeal Communication to Board
of Appeals and InterferencesAppeal Communication to TC
(Appeal Notice, Brief, Reply Brief)

Proprietary Information



Status Letter

Other Enclosure(s) (please
Identify below):**SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT**Firm
or
Individual name

Winston Hsu, Reg. No.: 41,526

Signature

Winston Hsu

Date

12/18/2003

CERTIFICATE OF TRANSMISSION/MAILING

I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.

Typed or printed name

Signature

Date

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$) 0.00

Complete if Known

Application Number	10/707,106
Filing Date	11/20/2003
First Named Inventor	Nai-Shung Chang
Examiner Name	
Art Unit	
Attorney Docket No.	VIAP0108USA

METHOD OF PAYMENT (check all that apply)☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None☒ Deposit Account:Deposit
Account
Number
Deposit
Account
Name

50-0801

North America International Patent Office

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☒ Credit any overpayments☒ Charge any additional fee(s) or any underpayment of fee(s)☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.**FEE CALCULATION****1. BASIC FILING FEE**

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	770	2001	385	Utility filing fee	
1002	340	2002	170	Design filing fee	
1003	530	2003	265	Plant filing fee	
1004	770	2004	385	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	
SUBTOTAL (1)				(\$) 0.00	

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

Total Claims		Extra Claims		Fee from below		Fee Paid	
Independent Claims		-20** =		X		=	
Multiple Dependent		-3** =		X		=	

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1202	18	2202	9	Claims in excess of 20	
1201	86	2201	43	Independent claims in excess of 3	
1203	290	2203	145	Multiple dependent claim, if not paid	
1204	86	2204	43	** Reissue independent claims over original patent	
1205	18	2205	9	** Reissue claims in excess of 20 and over original patent	
SUBTOTAL (2)				(\$) 0.00	

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)**3. ADDITIONAL FEES**

Large Entity Small Entity

Fee Code	Fee (\$)	Fee Code	Fee (\$)	Fee Description	Fee Paid
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for ex parte reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	
1252	420	2252	210	Extension for reply within second month	
1253	950	2253	475	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	2,010	2255	1,005	Extension for reply within fifth month	
1401	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,330	2453	665	Petition to revive - unintentional	
1501	1,330	2501	665	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	2809	385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	770	2810	385	For each additional invention to be examined (37 CFR 1.129(b))	
1801	770	2801	385	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify) _____

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$) 0.00

SUBMITTED BY

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature		Date	12/18/2003		

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

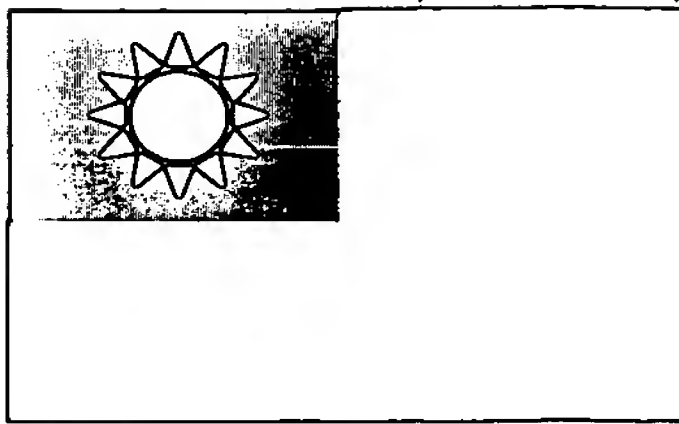
If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:					
Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092121551	Taiwan R.O.C	08/06/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 08 月 06 日
Application Date

申請案號：092121551
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 9 月 1 日
Issue Date

發文字號：09220879220
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	以單通道記憶體控制器控制多個動態隨機存取記憶體之主機板
	英文	MOTHER BOARD UTILIZING A SINGLE-CHANNEL MEMORY CONTROLLER TO CONTROL MULTIPLE DYNAMIC-RANDOM-ACCESS MEMORYS
二、 發明人 (共3人)	姓名 (中文)	1. 張乃舜
	姓名 (英文)	1. Chang, Nai-Shung
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 台北縣新店市中正路五三三號八樓
	住居所 (英文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 威盛電子股份有限公司
	名稱或姓名 (英文)	1. VIA TECHNOLOGIES, INC.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 台北縣新店市中正路五三三號八樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1. Wang, Hsueh-Hung



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

發明名稱	中文	
	英文	
二、發明人 (共3人)	姓名 (中文)	2. 陳俊宏
	姓名 (英文)	2. Chen, Chunhung
	國籍 (中英文)	2. 中華民國 TW
	住居所 (中文)	2. 台北縣新店市中正路五三三號八樓
	住居所 (英文)	2. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
三、申請人 (共1人)	名稱或姓名 (中文)	
	名稱或姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	

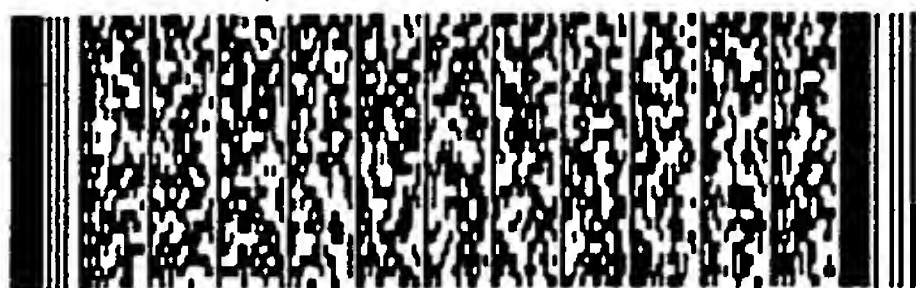


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

發明名稱	中文	
	英文	
二、發明人 (共3人)	姓名 (中文)	3. 李維祥
	姓名 (英文)	3. Lee, Wei
	國籍 (中英文)	3. 中華民國 TW
	住居所 (中文)	3. 台北縣新店市中正路五三三號八樓
	住居所 (英文)	3. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
三、申請人 (共1人)	名稱或姓名 (中文)	
	名稱或姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：以單通道記憶體控制器控制多個動態隨機存取記憶體之主機板)

一種以單一記憶體控制器控制多個記憶體插槽之主機板，其包含第一記憶體插槽、第二記憶體插槽與單通道記憶體控制器，其中第一記憶體插槽與第二記憶體插槽分別以第一匯流排與第二匯流排連接單通道記憶體控制器。

五、(一)、本案代表圖為：第 4 圖

(二)、本案代表圖之元件代表符號簡單說明

70 記憶體存取系統

72 記憶體控制單元

74a、74b、74c 記憶體插槽

76a、76b 資料匯流排

78a、78b 位址匯流排

80a、80b 控制訊號匯流排

六、英文發明摘要 (發明名稱：MOTHER BOARD UTILIZING A SINGLE-CHANNEL MEMORY CONTROLLER TO CONTROL MULTIPLE DYNAMIC-RANDOM-ACCESS MEMORYS)

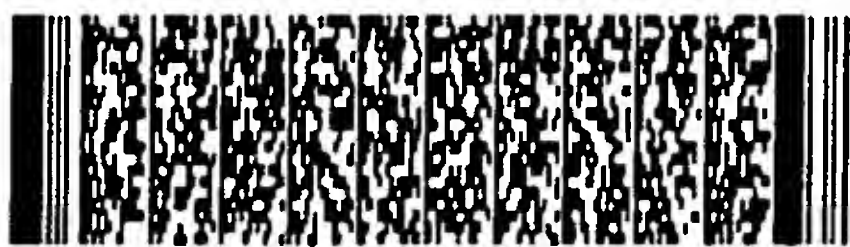
A mother board utilizing a single-channel memory controller to control multiple DRAMs. The mother board includes a first memory slot, a second memory slot and a single channel memory controller. The memory controller respectively connects to the first memory slot and the second memory slot via a first bus and a second bus.



四、中文發明摘要 (發明名稱：以單通道記憶體控制器控制多個動態隨機存取記憶體之主機板)

82a、82b、82c 資料傳輸路徑
84a、84b、84c 記憶體位址傳輸路徑
86a、86b、86c 控制訊號傳輸路徑

六、英文發明摘要 (發明名稱：MOTHER BOARD UTILIZING A SINGLE-CHANNEL MEMORY CONTROLLER TO CONTROL MULTIPLE DYNAMIC-RANDOM-ACCESS MEMORYS)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明所屬之技術領域

本發明提供一種具有單通道記憶體控制器之主機板，尤指一種應用單通道記憶體控制器控制多個動態隨機存取記憶體之主機板。

先前技術

請參閱圖一，圖一為習知電腦系統 10 的功能方塊示意圖。中央處理器 12 係用來控制電腦系統 10 的整體運作，北橋電路 14 係用來控制高速週邊（例如顯示控制電路 18 與記憶體 20）以及中央處理器 12 之間的訊號傳輸，南橋電路 16 係用來控制低速週邊（例如硬碟 22 與輸入/輸出裝置 24）與北橋電路 14 之間的訊號傳輸。顯示控制電路 18 係用來進行圖形運算以產生影像訊號來驅動一螢幕（未顯示），記憶體 20 係為揮發性（volatile）儲存裝置，硬碟 22 則為非揮發性儲存裝置，輸入/輸出裝置 24 用來接收使用者輸入的控制訊號或輸出資料。

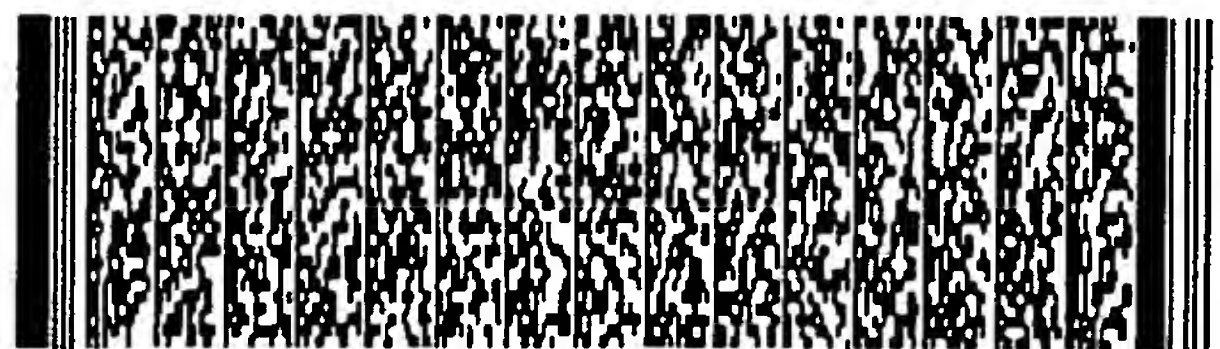
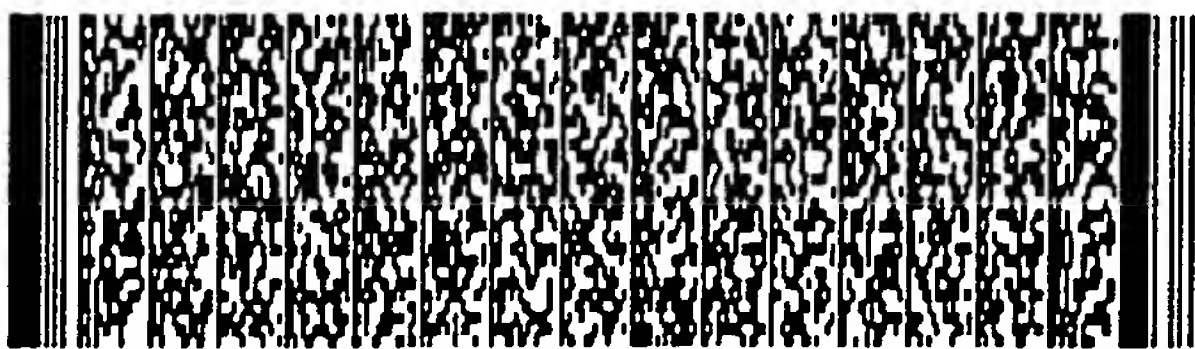
一般而言，於北橋電路 14 中設置記憶體控制單元 26，用來控制記憶體 20 的資料儲存與擷取，亦即記憶體控制單元 26 與記憶體 20 構成一記憶體存取系統 28。對於電腦系統 10 而言，其運作需要使用記憶體存取系統 28，舉例來說，當電腦系統 10 經由一習知自我硬體測試（power on



五、發明說明 (2)

self test, POST) 而完成開機程序後，硬碟 22 上所儲存的作業系統的程式碼會經由南橋電路 16 以及記憶體存取系統 28 而載入記憶體 20，然後中央處理器 12 便透過記憶體存取系統 28 讀取記憶體 20 所儲存之作業系統的程式碼，以執行該作業系統來管理電腦系統 10 之硬體與電腦系統 10 所執行之應用程式。電腦元件的運作均需經由記憶體存取系統 28 來將資料暫存於記憶體 20 以及經由記憶體存取系統 28 來讀取記憶體 20 所暫存的資料。

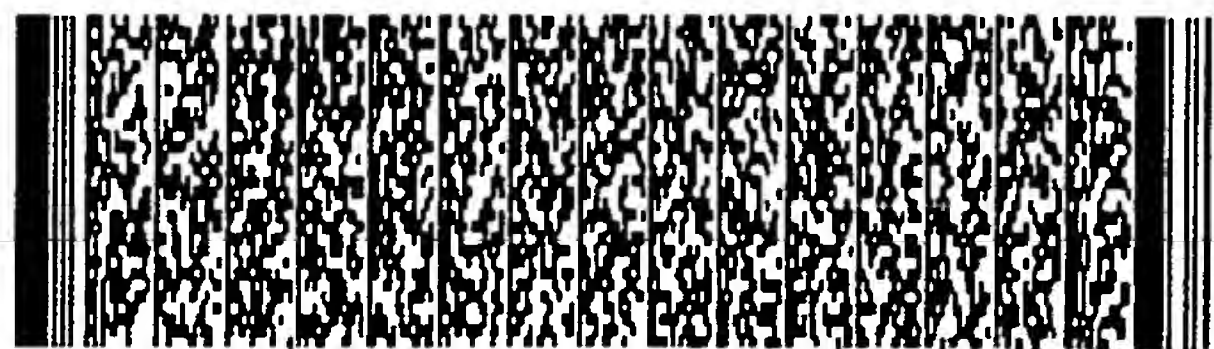
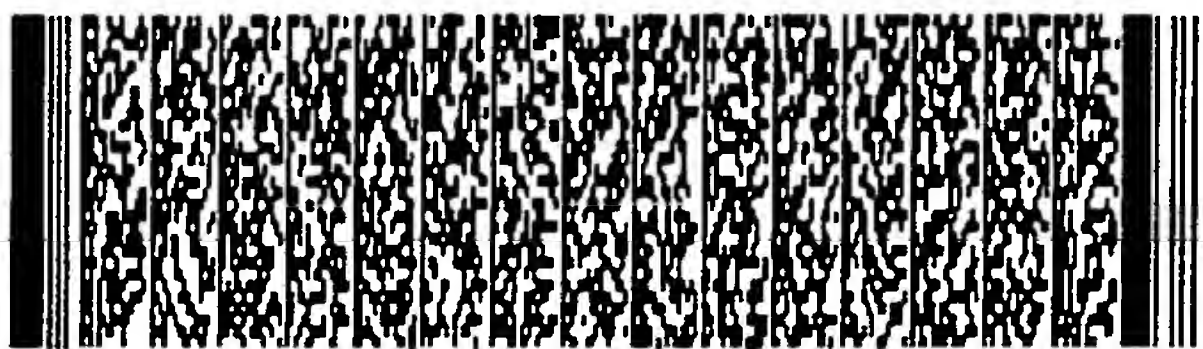
請參閱圖二，為第一種記憶體存取系統 30 的示意圖。記憶體存取系統 30 包含有記憶體控制器 32 以及複數個記憶體插槽 34a、34b、34c。記憶體控制器 32 即用來構成圖一所示之記憶體控制單元 26，亦即記憶體控制器 32 係設置於圖一所示之北橋電路 14 中，而記憶體插槽 34a、34b、34c 係用來安裝記憶體模組以構成圖一所示之記憶體 20，例如記憶體插槽 34a、34b、34c 係為習知單直列記憶體模組 (single inline memory module, SIMM) 插槽與習知雙直列記憶體模組 (dual inline memory module, DIMM) 插槽，其中符合單直列記憶體模組規格的記憶體包含三十二位元的存取路徑，而符合雙直列記憶體模組規格的記憶體包含六十四位元的存取路徑。記憶體控制器 32 之輸入/輸出埠 A 經由一資料匯流排 (data bus) 36 電連接於記憶體插槽 34a、34b、34c 中相對應資料傳輸路徑 42a、42b、42c，記憶體控制器 32 之輸出埠 B 經由一位



五、發明說明 (3)

址匯流排 (address bus) 38電連接於記憶體插槽 34a、34b、34c中相對應記憶體位址傳輸路徑 44a、44b、44c，以及記憶體控制器 32之輸出埠 C經由一控制訊號匯流排 40電連接於記憶體插槽 34a、34b、34c中相對應控制訊號傳輸路徑 46a、46b、46c。資料匯流排 36、位址匯流排 38與控制訊號匯流排 40係分別用來傳遞記憶體控制器 32所輸出或輸入的儲存資料、記憶體位址與控制訊號至記憶體插槽 34a、34b、34c上的記憶體模組，舉例來說，控制訊號包含有一時脈致能訊號 (clock enable signal, CKE)，一晶片選取訊號 (chip select signal, CS)、一行位址訊號 (row address strobe signal, RAS)、一列位址訊號 (column address strobe signal, CAS) 以及一寫入致能訊號 (write enable signal, WE) 等。如業界所習知，圖二所示之記憶體體控制器 32係為單通道記憶體控制器，亦即記憶體控制器 32利用同一匯流排 36、38與 40來輸出儲存資料、記憶體位址與控制訊號至記憶體模組。然而，隨著中央處理器 12的操作時脈不斷提升以及資料處理量的增加，因此記憶體存取系統 30的單一通道記憶體架構已逐漸地無法滿足使用者的需求，所以業界便另揭露一種雙通道記憶體 (dual channel) 架構來提升記憶體 20的存取效能。

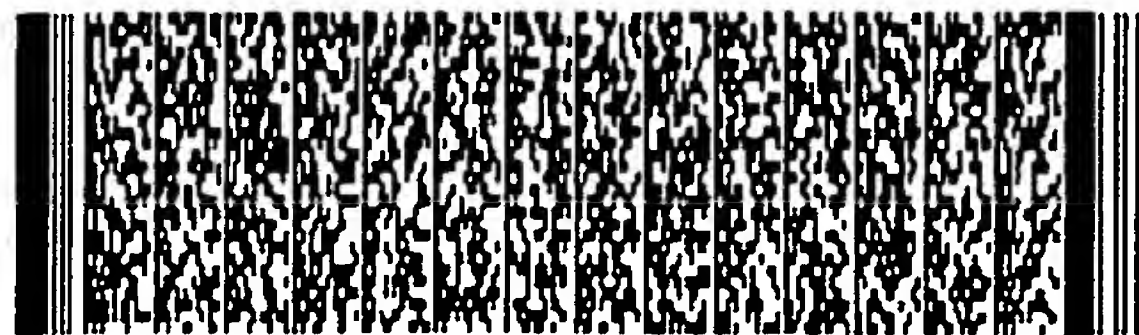
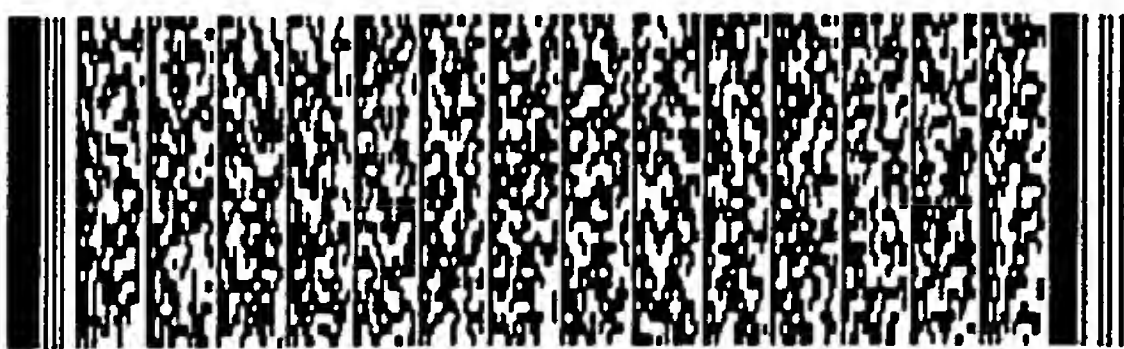
請參閱圖三，為習知第二種記憶體存取系統 50的示意圖。記憶體控制器 52a以輸入/輸出埠 A₁、輸出埠 B與輸出



五、發明說明 (4)

埠 C_1 ，經由資料匯流排 56a、位址匯流排 58a與控制訊號匯流排 60a控制記憶體插槽 54a、54b，係分別對應至資料傳輸路徑 62a、62b、64a、64b、66a與 66b。記憶體控制器 52b以輸入/輸出埠 A_2 、輸出埠 B與輸出埠 C_2 ，經由資料匯流排 56b、位址匯流排 58b與控制訊號匯流排 60b控制記憶體插槽 54c，係分別對應至資料傳輸路徑 62c、64c與 66c。

當記憶體存取系統 50啟動雙通道記憶體架構時，如業界所習知，記憶體控制器 52a、52b均會啟動來各自控制不同記憶體插槽上所安裝的記憶體模組，如圖三所示，記憶體控制器 52a連接於記憶體插槽 54a、54b，而記憶體控制器 52b連接於記憶體插槽 54c，因此一記憶體模組需安裝於記憶體插槽 54c，而另一記憶體模組則需安裝於記憶體插槽 54a或記憶體插槽 54b上，以使雙通道的架構可正常地運作。記憶體控制器 52a、52b係各自單獨地運作，所以若資料匯流排 56a、56b係為 64位元的匯流排，因此對於雙通道記憶體架構來說，圖一所示之記憶體控制單元 26與記憶體 20之間則等效地對應 128位元的匯流排，記憶體 20的資料存取效率便可大幅地提升。此外，記憶體存取系統 50亦可啟動單一通道記憶體架構，亦即僅有記憶體控制器 52a或記憶體控制器 52b會被啟動，舉例來說，於使用記憶體控制器 52a的狀況下，可於記憶體插槽 54a、54b安裝兩記憶體模組，所以記憶體插槽 54a、54b



五、發明說明 (5)

上安裝的記憶體模組分享同一通道。

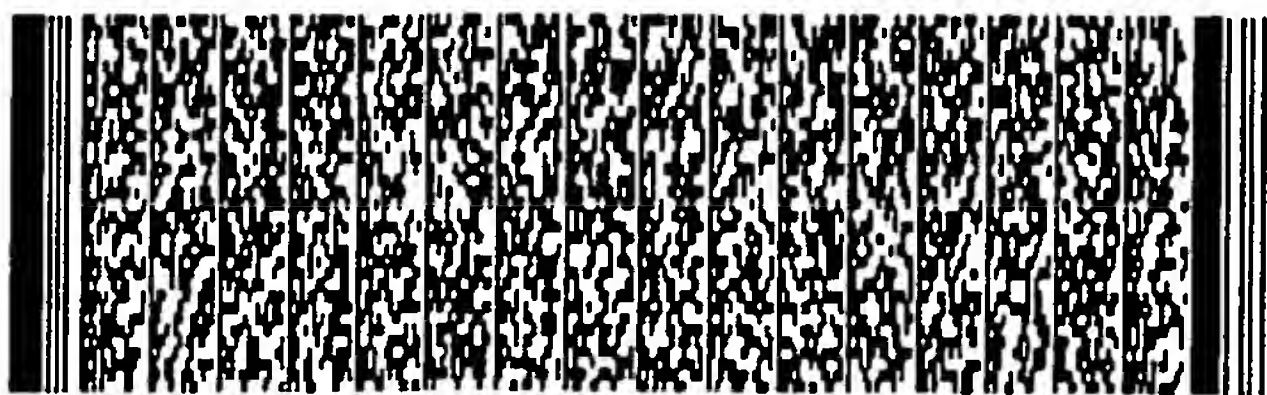
如上所述，對於電腦系統的演變過程而言，主機板之設計無法直接由單通道記憶體控制器轉變為雙通道記憶體控制器，可能需要一種主機板能夠同時使用於單通道記憶體控制器與雙通道記憶體控制器，而無須更改主機板之電路佈局，大量減少研發成本。

發明內容

本發明提供一種以單通道記憶體控制器控制多個記憶體插槽之主機板，第一記憶體插槽、第二記憶體插槽與單通道記憶體控制器，其中單通道記憶體控制器分別以第一匯流排與第二匯流排連接該第一記憶體插槽與該第二記憶體插槽。

本發明提供一種以單通道記憶體控制器控制多個記憶體之主機板，第一記憶體、第二記憶體與單通道記憶體控制器，其中單通道記憶體控制器分別以第一匯流排與第二匯流排連接該第一記憶體與該第二記憶體。

本發明提供一種封裝體，利用第一接腳，電連接單通道記憶體控制器之資料輸入/輸出埠、位址輸出埠以及控制訊號輸出埠，以連接第一記憶體匯流排；第二接腳電連接於資料輸入/輸出埠該位址輸出埠與控制訊號輸出埠，

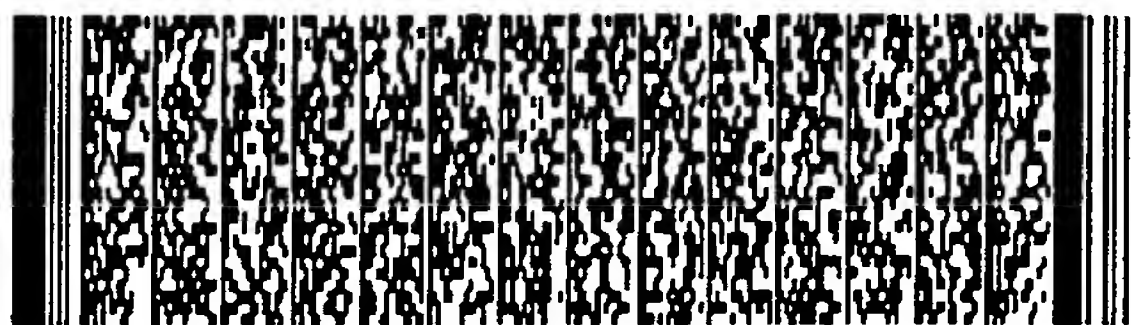


五、發明說明 (6)

係用來連接一第二記憶體匯流排，用來控制不同的記憶體。

實施方式

請參閱圖四，圖四為本發明記憶體存取系統 70 的示意圖。記憶體存取系統 70 係應用於圖一所示之電腦系統 10 中，而電腦系統 10 的運作已詳述如上，所以於不影響本發明技術揭露的情況下，電腦系統 10 的運作則不再重複贅述。本實施例中，記憶體存取系統 70 包含有一記憶體控制單元 72 以及複數個記憶體插槽 74a、74b、74c。記憶體插槽 74a、74b、74c 係用來安裝記憶體模組以構成圖一所示之記憶體 20，例如記憶體插槽 74a、74b、74c 係為單直列記憶體模組插槽或雙直列記憶體模組插槽，其中符合單直列記憶體模組規格的記憶體包含三十二位元的存取路徑，而符合雙直列記憶體模組規格的記憶體包含六十四位元的存取路徑。記憶體控制單元 72 之輸入/輸出埠 A 係經由資料匯流排 76a 電連接於記憶體插槽 74a、74b 中相對應資料傳輸路徑 82a、82b，記憶體控制單元 72 之輸出埠 B 經由位址匯流排 78a 電連接於記憶體插槽 74a、74b 中相對應記憶體位址傳輸路徑 84a、84b，以及記憶體控制單元 72 之輸出埠 C 經由控制訊號匯流排 80a 電連接於記憶體插槽 74a、74b 中相對應控制訊號傳輸路徑 86a、86b。此外，記憶體控制單元 72 之輸入/輸出埠 A 係經由資



五、發明說明 (7)

料匯流排 76b 電連接於記憶體插槽 74c 中相對應資料傳輸路徑 82c，記憶體控制單元 72 之輸出埠 B 經由位址匯流排 78b 電連接於記憶體插槽 74c 中相對應記憶體位址傳輸路徑 84c，以及記憶體控制單元 72 之輸出埠 C 經由控制訊號匯流排 80b 電連接於記憶體插槽 74c 中相對應控制訊號傳輸路徑 86c。

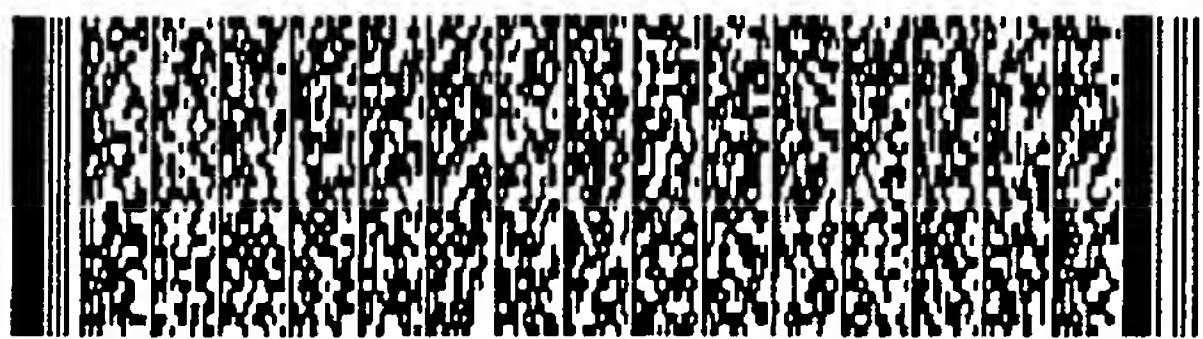
資料匯流排 76a、76b 係用來傳遞記憶體控制單元 72 所輸出的儲存資料至記憶體插槽 74a、74b、74c 所安裝的記憶體模組上，以及將記憶體插槽 74a、74b、74c 所安裝的記憶體模組所讀取的儲存資料傳遞至記憶體控制單元 72。位址匯流排 78a、78b 係用來傳遞記憶體控制單元 72 所輸出的記憶體位址至記憶體插槽 74a、74b、74c 所安裝的記憶體模組。另外，控制訊號匯流排 80a、80b 係用來傳遞記憶體控制單元 72 所輸出的控制訊號至記憶體插槽 74a、74b、74c 所安裝的記憶體模組，舉例來說，控制訊號包含有時脈致能訊號、晶片選取訊號、行位址訊號、列位址訊號以及寫入致能訊號等。本實施例中，記憶體控制單元 72 僅設置有一記憶體控制器 72，亦即對於支援雙通道記憶體架構之主機板電路佈局來說，本實施例可使主機板上對應雙通道記憶體架構之記憶體插槽 74a、74b、74c 可全部同時使用於單一通道記憶體架構中，其原理敘述如下。



五、發明說明 (8)

如前所述，記憶體控制單元 72 係設置於北橋電路中，而如業界所習知，北橋電路之相對應晶粒係依據一預定封裝技術而設置一封裝體中，舉例來說，北橋電路之相對應晶粒係設置於球格陣列封裝體中，亦即晶粒承載於一基底上，而基底之底部設置由複數個焊錫球，用來作為複數個接腳以連接於一主機板上相對應的接點，此外，該複數個接腳係電連接於該晶粒，以輸入操作電壓與相關訊號至該北橋電路。輸入/輸出埠 A_1 、 A_2 ，輸出埠 B_1 、 B_2 以及輸出埠 C_1 、 C 分別對應球格陣列封裝體上複數個接腳，所以當對應北橋電路之球格陣列封裝體安裝於一主機板時，輸入/輸出埠 A_1 、 A_2 ，輸出埠 B_1 、 B_2 以及輸出埠 C_1 、 C 便可分別電連接該主機板上所設置的資料匯流排 76a、76b，位址匯流排 78a、78b，以及控制訊號匯流排 80a、80b。舉例來說，資料匯流排 76a、76b 係為 64 位元之匯流排，其中資料匯流排 76a 包含有傳輸線 $D_0 \sim D_{63}$ ，以及資料匯流排 76b 包含有傳輸線 $D'_0 \sim D'_{63}$ ，所以輸入/輸出埠 A_1 包含有 64 個接腳分別連接於傳輸線 $D_0 \sim D_{63}$ ，此外，輸入/輸出埠 A_2 亦包含有 64 個接腳分別連接於傳輸線 $D'_0 \sim D'_{63}$ ，因此當於封裝體之基底連接輸入/輸出埠 A_1 、 A_2 時，對應傳輸線 D'_n 之接腳即會電連接於對應傳輸線 D_n 之接腳 ($0 \leq n \leq 63$)，而輸出埠 B_1 、 B_2 與輸出埠 C_1 、 C 的接腳連接方式與輸入/輸出埠 A_1 、 A_2 相同，所以不再重複贅述。

請注意，圖四所示記憶體插槽 74a、74b、74c 之主機板電



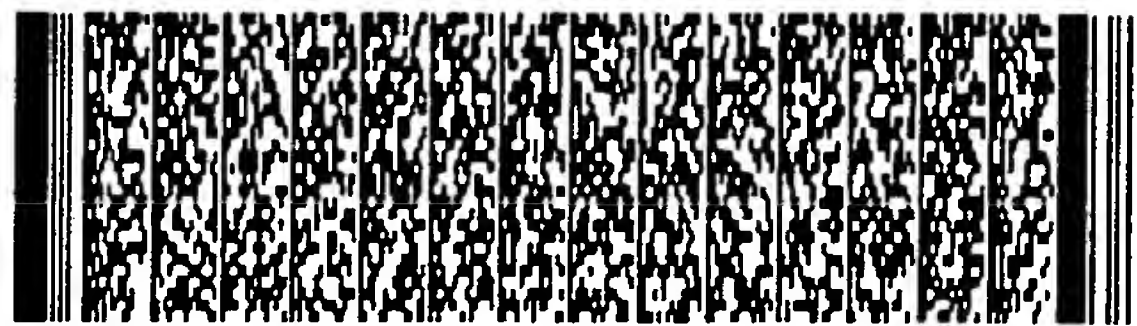
五、發明說明 (9)

路佈局係對應於雙通道記憶體架構，亦即輸入/輸出埠 A_1 ，輸出埠 B_1 ，以及輸出埠 C 的腳位原本係用來連接一記憶體控制器，而輸入/輸出埠 A_1 ，輸出埠 B_1 ，以及輸出埠 C_1 的腳位原本係用來連接另一記憶體控制器，亦即依據雙通道記憶體架構的電路佈局，記憶體控制單元 72 理應包含有兩記憶體控制器，然而，本實施例中，僅有一記憶體控制器 75 設置於記憶體控制單元 72 中，並且於輸入/輸出埠 A_1 、 A_2 ，輸出埠 B_1 、 B_2 ，以及輸出埠 C_1 、 C 的相同腳位配置下，輸入/輸出埠 A 係連接於輸入/輸出埠 A_2 ，並同時連接於記憶體控制器 75 之輸入/輸出埠 A ，亦即輸入/輸出埠 A_1 、 A 均連接於輸入/輸出埠 A ，而輸出埠 B 係連接於輸出埠 B_2 ，並同時連接於記憶體控制器 75 之輸出埠 B ，亦即輸出埠 B_1 、 B 均連接於輸出埠 B ，此外輸出埠 C 係連接於輸出埠 C_2 ，並同時連接於記憶體控制器 75 之輸出埠 C ，亦即輸出埠 C_1 、 C 均連接於輸出埠 C 。如前所述，北橋電路之相對應晶粒係依據一預定封裝技術而設置一封裝體中，換句話說，晶粒包含有記憶體控制器 75 之電路，所以本實施例係於封裝體之基底中利用接線 (trace) 來連接對應輸入/輸出埠 A 之接腳與對應輸入/輸出埠 A_2 之接腳，連接對應輸出埠 B 之接腳與對應輸出埠 B_2 之接腳，以及連接對應輸出埠 C 之接腳與對應輸入/輸出埠 C_2 之接腳，然後再利用接線使輸入/輸出埠 A_1 、 A 連接於輸入/輸出埠 A ，使輸出埠 B_1 、 B 連接於輸出埠 B ，以及使輸出埠 C_1 、 C 連接於輸出埠 C 。若記憶體插槽 74a、74b、74c 均同時安裝有

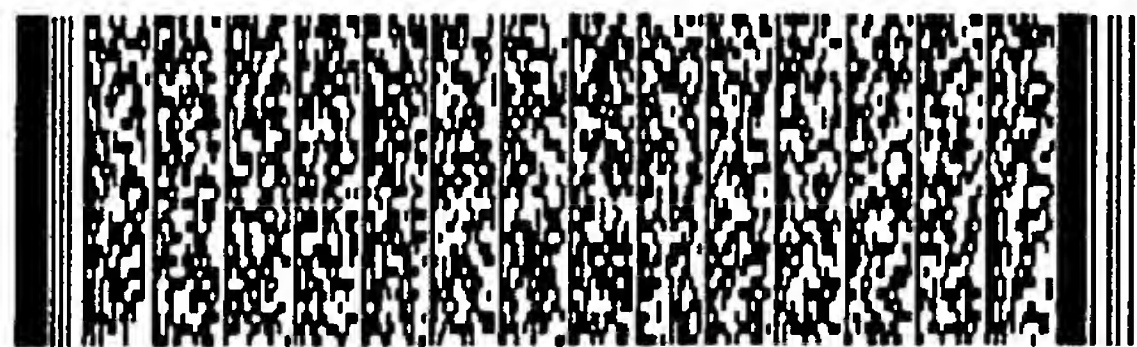


五、發明說明 (10)

記憶體模組，由圖四可知，記憶體控制器 75 由輸出埠 B 所輸出的記憶體位址可分別經由輸出埠 B_1 、 B_2 之腳位以及相對應的位址匯流排 78a、78b 傳輸至記憶體插槽 74a、74b、74c 之記憶體位址傳輸路徑 84a、84b，此外，記憶體控制器 75 由輸出埠 C 所輸出的記憶體位址可分別經由輸出埠 C_1 、 C_2 之腳位以及相對應的位址匯流排 80a、80b 傳輸至記憶體插槽 74a、74b、74c 之控制訊號傳輸路徑 86a、86b，所以記憶體插槽 74a、74b、74c 所安裝之記憶體模組中的控制電路，例如行位址解碼電路、列位址解碼電路、資料寫入電路以及資料感測電路等，便可依據由控制訊號傳輸路徑 86a、86b 所接收的控制訊號以及由記憶體位址傳輸路徑 84a、84b 所接收的記憶體位址來對各記憶體模組中的記憶單元進行資料讀取或資料寫入的運作。對於資料寫入操作而言，當記憶體控制器 75 由輸入/輸出埠 A 輸出儲存資料時，該儲存資料會分別由輸入/輸出埠 A_1 之腳位與輸入/輸出埠 A_2 之腳位傳輸至記憶體插槽 74a、74b 之資料傳輸路徑 82a、82b 以及記憶體插槽 74c 之資料傳輸路徑 82c；同樣地，對於資料讀取操作而言，當讀取安裝於記憶體插槽 74a、74b、74c 的記憶體模組時，各記憶體模組所讀取的儲存資料均可分別經由資料匯流排 76a、76b 傳遞至輸入/輸出埠 A_1 之腳位與輸入/輸出埠 A_2 之腳位，已知輸入/輸出埠 A_1 、 A_2 連接於輸入/輸出埠 A，因此各記憶體模組所讀取的儲存資料均可傳輸至記憶體控制器 75。



如上所述，雖然記憶體插槽 74a、74b、74c 於主機板上的電路佈局係對應於習知雙通道記憶體架構，亦即資料匯流排 76a，位址匯流排 78a，以及控制訊號匯流排 80a 連接記憶體插槽 74a、74b 與對應輸入/輸出埠 A₁、輸出埠 B₁ 以及輸出埠 C₁ 的接腳，而資料匯流排 76b、位址匯流排 78b 以及控制訊號匯流排 80b 則連接記憶體插槽 74c 與對應輸入/輸出埠 A₂、輸出埠 B₂ 以及輸出埠 C₂ 的接腳，而對於北橋電路的封裝體而言，輸入/輸出埠 A₁、A₂，輸出埠 B₁、B₂，以及輸出埠 C₁、C₂ 係為不同的腳位。然而，本實施例應用單一記憶體控制器 75 於支援雙通道記憶體架構的主機板上，其中輸入/輸出埠 A₁、A₂ 所對應之不同接腳，輸出埠 B₁、B₂ 所對應之不同接腳，以及輸出埠 C₁、C₂ 所對應之不同接腳於該封裝體之基底中互相電連接，所以，對於記憶體控制器 75 來說，記憶體插槽 74a、74b、74c 於主機板上的組態（雙通道記憶體架構）可等效地視為單一通道記憶體架構，因此記憶體控制器 75 可控制記憶體插槽 74a、74b、74c 所安裝的記憶體模組，所以記憶體存取系統 70 執行單一通道記憶體架構時，主機板上的所有記憶體插槽 74a、74b、74c 均可用來安裝記憶體模組。請注意，若記憶體控制單元 72 設置有兩獨立的記憶體控制器，則記憶體插槽 74a、74b、74c 亦可應用於雙通道記憶體架構，亦即由如圖三所示之電路架構可知，主機板上所配置的記憶體插槽 74a、74b、74c 則可應用於雙通道記

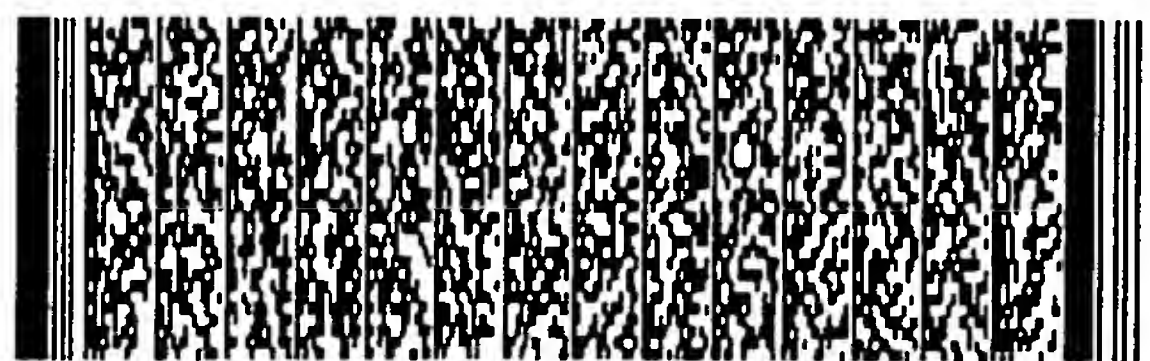


五、發明說明 (12)

記憶體架構。

綜合上述，即使記憶體插槽 74a、74b、74c 於主機板上的電路佈局係對應於習知雙通道記憶體架構，本發明揭露可經由記憶體控制單元 72 於封裝體中的線路配置，而使具有單一記憶體控制器 75 的北橋電路可同時控制記憶體插槽 74a、74b、74c 所安裝的所有記憶體模組，亦即記憶體控制器 75 此時以單一通道記憶體架構來連接記憶體插槽 74a、74b、74c。所以，對於主機板的製造廠商來說，若其應用圖三所示之電路架構來生產可支援雙通道記憶體架構的主機板，則本實施例可使用具有單一記憶體控制器 75 的記憶體控制單元 72（如圖四所示）於同一電路佈局的主機板上，並且於不改變輸入/輸出埠 A_1 、 A_2 ，輸出埠 B_1 、 B_2 ，以及輸出埠 C_1 、 C_2 於該主機板上之腳位配置的狀況下，透過封裝體之基底中的接線（trace）來連接輸入/輸出埠 A_1 、 A_2 ，輸出埠 B_1 、 B_2 ，以及輸出埠 C_1 、 C_2 ，所以記憶體插槽 74a、74b、74c 便均可用來安裝記憶體模組，並運作於單一通道記憶體架構下，換句話說，同一主機板經由腳位相容之北橋電路的適當替換即可於單一通道記憶體架構下使用所有的記憶體插槽，因此主機板的製造廠商便不需重新設計主機板的電路佈局。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵



五、發明說明 (13)

蓋 範 圍 。



圖式簡單說明

圖式之簡單說明

圖一為一般電腦系統的功能方塊示意圖；

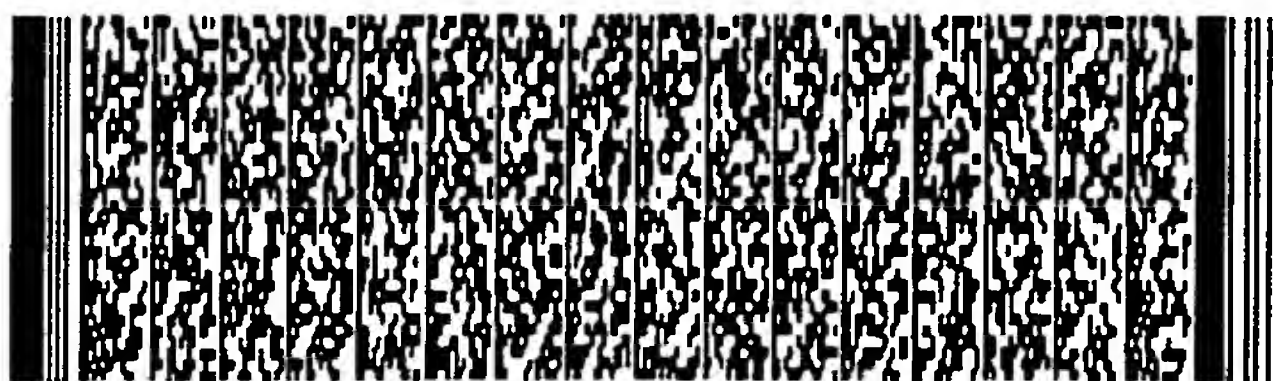
圖二為習知技術利用單通道記憶體控制器，以一個匯流排控制多個記憶體插槽的示意圖；

圖三為習知技術利用雙通道記憶體控制器，以兩個匯流排控制多個記憶體插槽的示意圖；以及

圖四為本發明利用單通道記憶體控制器，以兩個匯流排控制多個記憶體插槽的示意圖。

圖式之符號說明

10	電腦系統	12	中央處理器
14	北橋電路	16	南橋電路
18	顯示控制電路	20	記憶體
22	硬碟	24	輸入/輸出裝置
26、72	記憶體控制單元		
28、30、50、70	記憶體存取系統		
32、52a、52b、75	記憶體控制器		
34a、34b、34c、54a、54b、54c、74a、74b、74c	記憶體插槽		
36、56a、56b、76a、76b	資料匯流排		
38、58a、58b、78a、78b	位址匯流排		
40、60a、60b、80a、80b	控制訊號匯流排		



圖式簡單說明

42a、42b、42c、62a、62b、62c、82a、82b、82c 資料

傳輸路徑

44a、44b、44c、64a、64b、64c、84a、84b、84c 記憶

體位址傳輸路徑

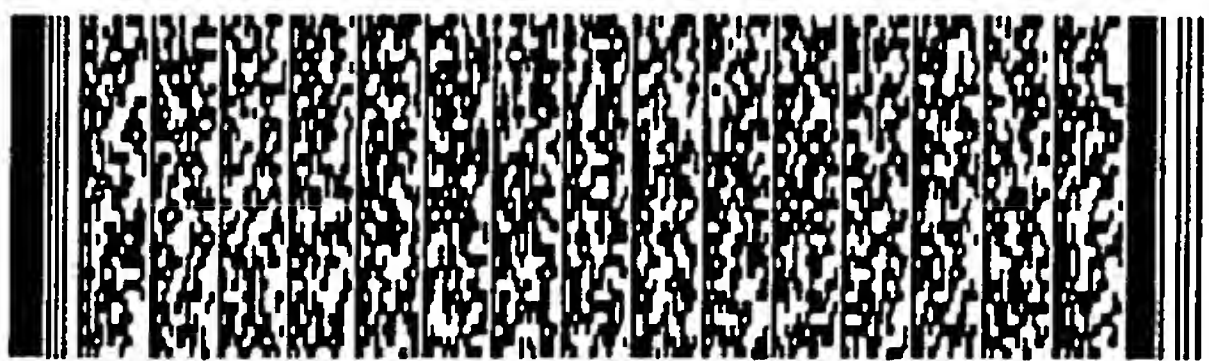
46a、46b、46c、66a、66b、66c、86a、86b、86c 控制

訊號傳輸路徑



六、申請專利範圍

1. 一種以單通道記憶體控制器控制多個記憶體插槽之主機板，至少包含：
至少一第一記憶體插槽；
至少一第二記憶體插槽；以及
一單通道記憶體控制器，分別以第一匯流排與第二匯流排連接該第一記憶體插槽與該第二記憶體插槽。
2. 如申請專利範圍第1項所述之主機板，其中該第一匯流排與該第二匯流排係用來傳輸記憶體資料、記憶體位址與控制信號。
3. 如申請專利範圍第1項所述之主機板，其中該單通道記憶體控制器至少包含：
一資料輸入/輸出埠，經由該第一匯流排與該第二匯流排輸出記憶體資料至該第一記憶體插槽與該第二記憶體插槽；
一位址輸出埠，經由該第一匯流排與該第二匯流排輸出記憶體位址至該第一記憶體插槽與該第二記憶體插槽；
以及
一控制訊號輸出埠，經由該第一匯流排與該第二匯流排輸出控制信號至該第一記憶體插槽與該第二記憶體插槽。
4. 如申請專利範圍第1項所述之主機板，其中該單通道記憶體控制器係設置於一封裝體中，且該封裝體至少包含：
至少兩個第一接腳，分別連接該第一、第二匯流排，用



六、申請專利範圍

來傳輸記憶體資料；

至少兩個第二接腳，分別連接該第一、第二匯流排，用來傳輸記憶體位址；

至少兩個第三接腳，分別連接該第一、第二匯流排，用來傳輸控制信號；以及

複數條接線，電連接該第一接腳與該單通道記憶體控制器之資料輸入/輸出埠，電連接該第二接腳與該單通道記憶體控制器之位址輸出埠，以及電連接於該第三接腳與該單通道記憶體控制器之控制訊號輸出埠。

5. 一種電腦系統，該電腦系統至少包含：

至少一第一動態隨機存取記憶體；

至少一第二動態隨機存取記憶體；以及

一單通道記憶體控制器，分別以第一匯流排與第二匯流排控制該第一動態隨機存取記憶體與該第二動態隨機存取記憶體。

6. 如申請專利範圍第5項所述之電腦系統，其中該第一匯流排與該第二匯流排係用來傳輸記憶體資料、記憶體位址與控制信號。

7. 如申請專利範圍第5項所述之電腦系統，其中該單通道記憶體控制器至少包含：

一資料輸入/輸出埠，經由該第一匯流排與該第二匯流排輸出記憶體資料至該第一記憶體與該第二記憶體；

一位址輸出埠，經由該第一匯流排與該第二匯流排輸出記憶體位址至該第一記憶體與該第二記憶體；以及



六、申請專利範圍

一控制訊號輸出埠，經由該第一匯流排與該第二匯流排輸出控制信號至該第一記憶體與該第二記憶體。

8.如申請專利範圍第5項所述之電腦系統，其中該單通道記憶體控制器係設置於一封裝體中，且該封裝體至少包含：

至少兩個第一接腳，分別連接該第一、第二匯流排，用來傳輸記憶體資料；

至少兩個第二接腳，分別連接該第一、第二匯流排，用來傳輸記憶體位址；

至少兩個第三接腳，分別連接該第一、第二匯流排，用來傳輸控制信號；以及

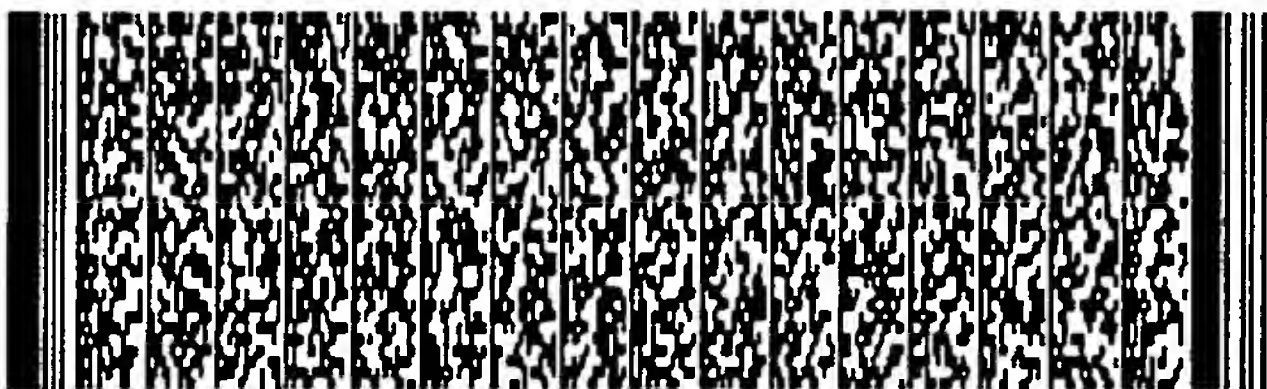
複數條接線，電連接該第一接腳與該單通道記憶體控制器之資料輸入/輸出埠，電連接該第二接腳與該單通道記憶體控制器之位址輸出埠，以及電連接於該第三接腳與該單通道記憶體控制器之控制訊號輸出埠。

9.一種封裝體，至少包含：

一單通道記憶體控制器；

複數個第一接腳，電連接於該單通道記憶體控制器之資料輸入/輸出埠、位址輸出埠以及控制訊號輸出埠，其中該複數個第一接腳係用來連接一第一記憶體匯流排；以及複數個第二接腳，電連接於該資料輸入/輸出埠、該位址輸出埠以及該控制訊號輸出埠，其中該複數個第二接腳係用來連接一第二記憶體匯流排。

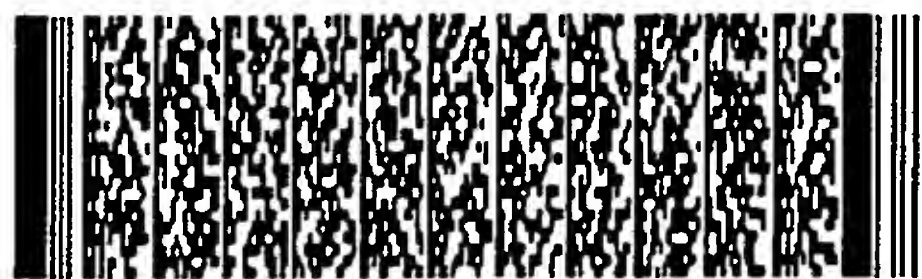
10.如申請專利範圍第9項所述之封裝體，其中該第一記

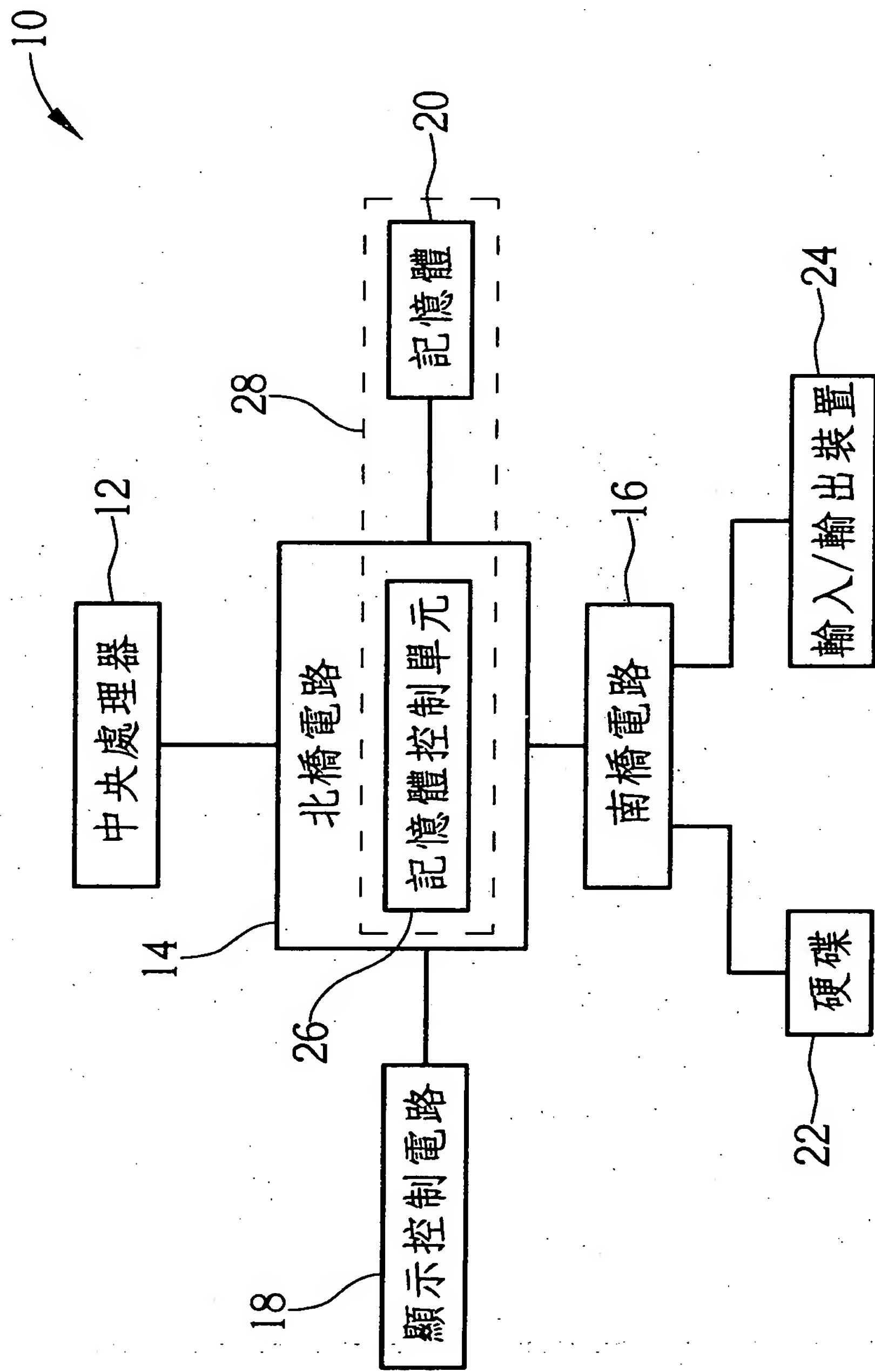


六、申請專利範圍

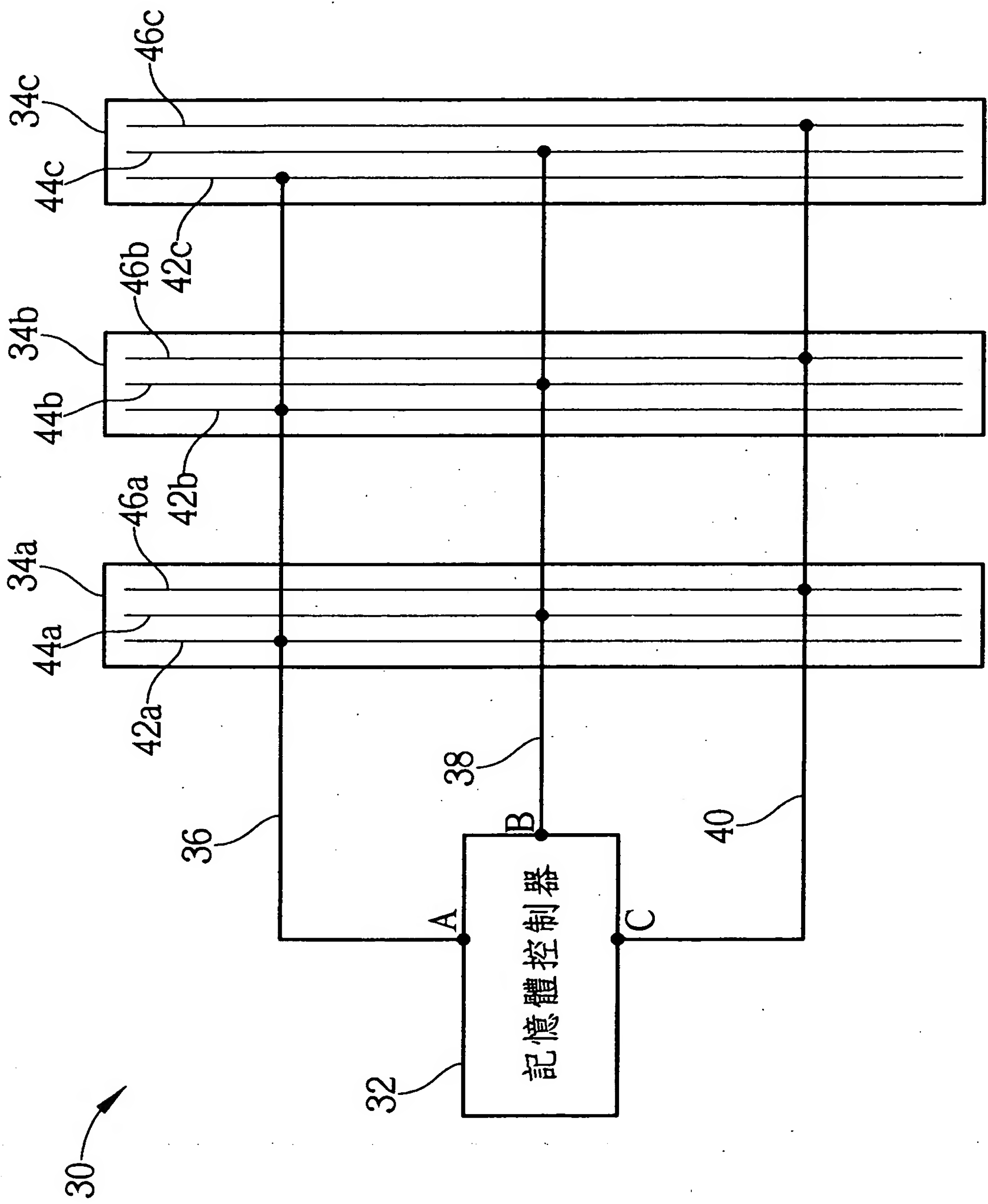
憶體匯流排係用以控制第一動態隨機存取記憶體插槽，
該第二記憶體匯流排係用以控制第二動態隨機存取記憶體
插槽。

11.如申請專利範圍第9項所述之封裝體，其中該第一記
憶體匯流排係用以控制第一動態隨機存取記憶體，該第
二記憶體匯流排係用以控制第二動態隨機存取記憶體。

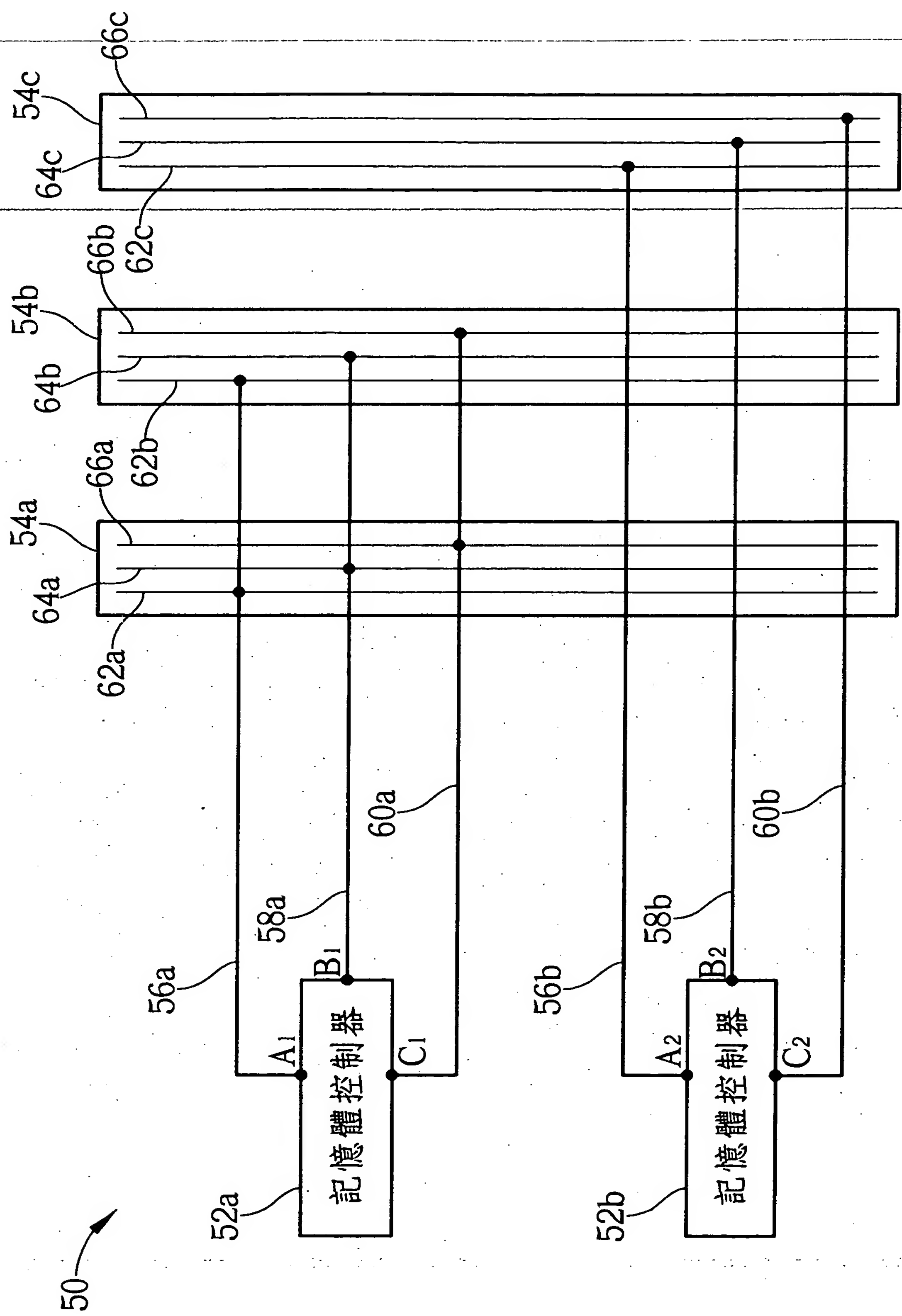




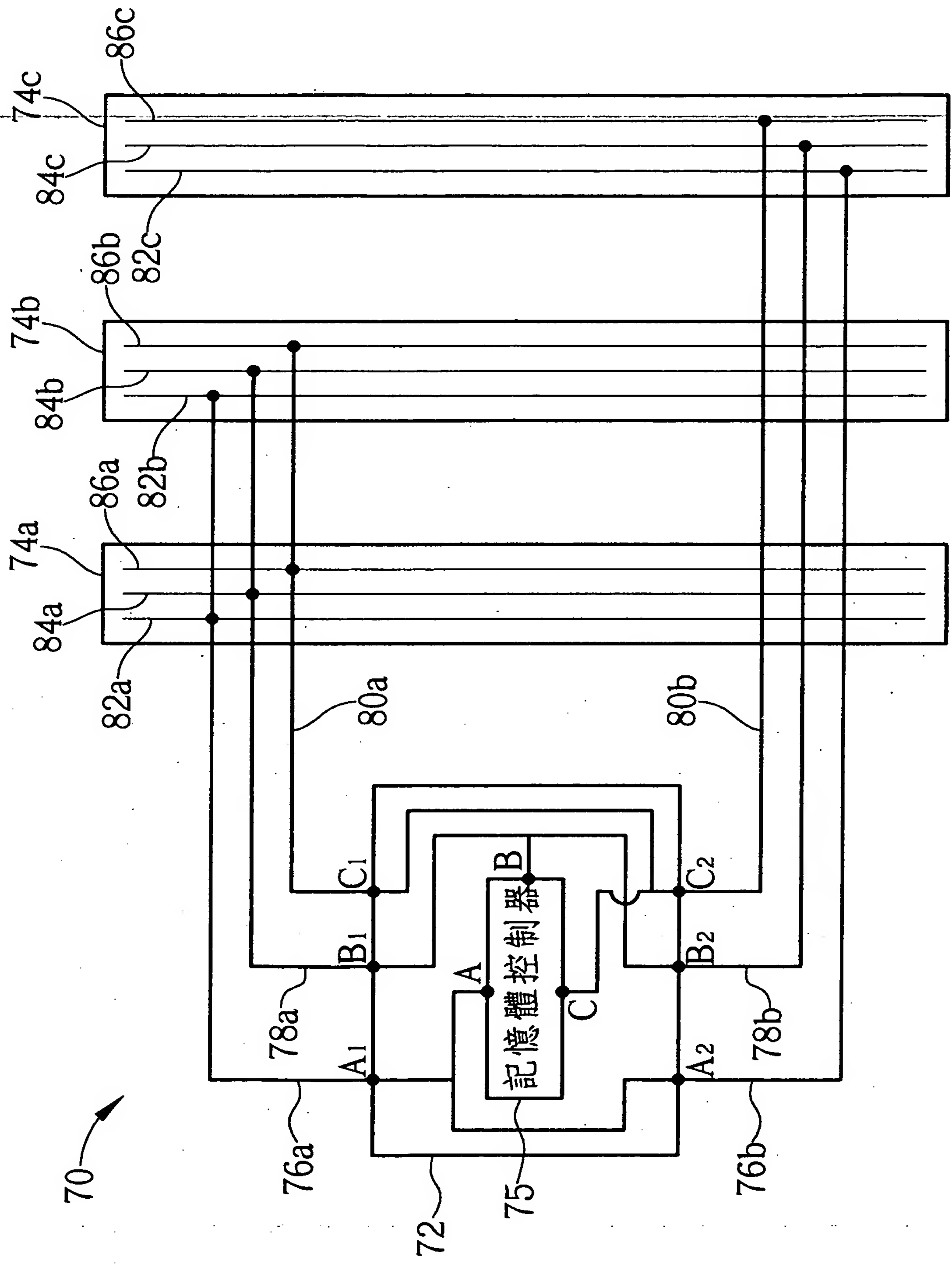
圖一



圖二

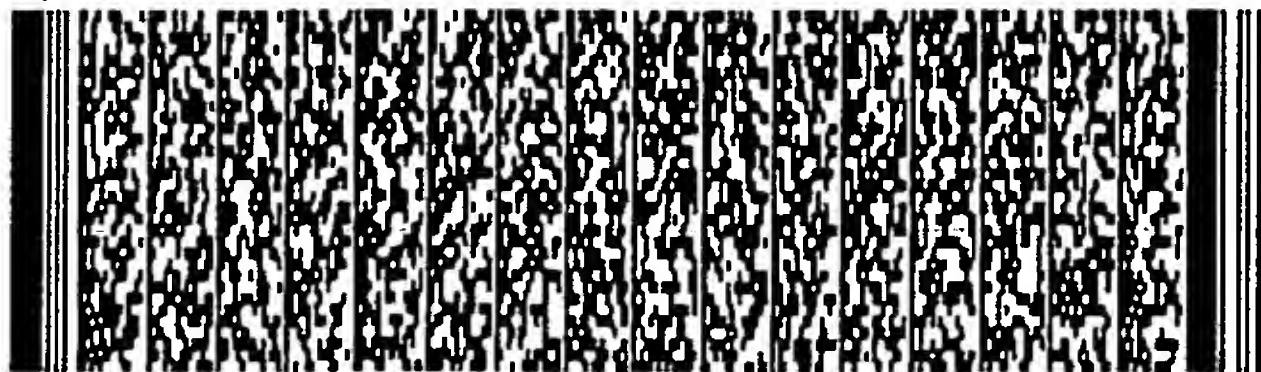


圖三

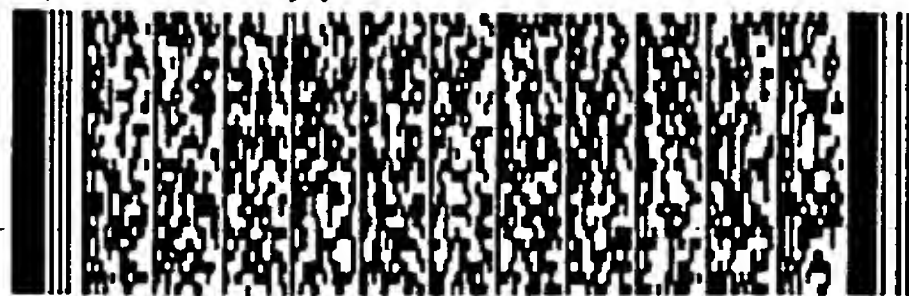


圖四

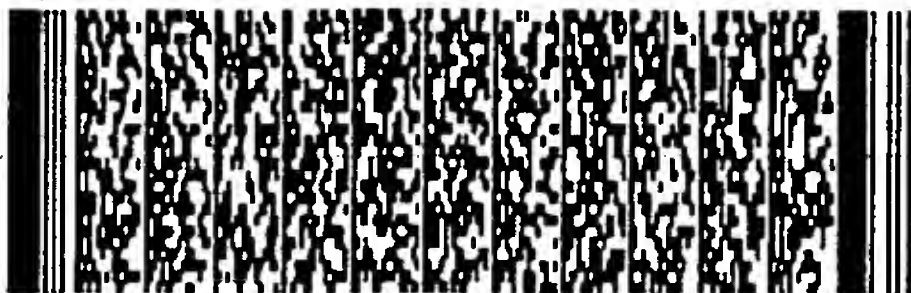
第 1/25 頁



第 2/25 頁



第 3/25 頁



第 4/25 頁



第 5/25 頁



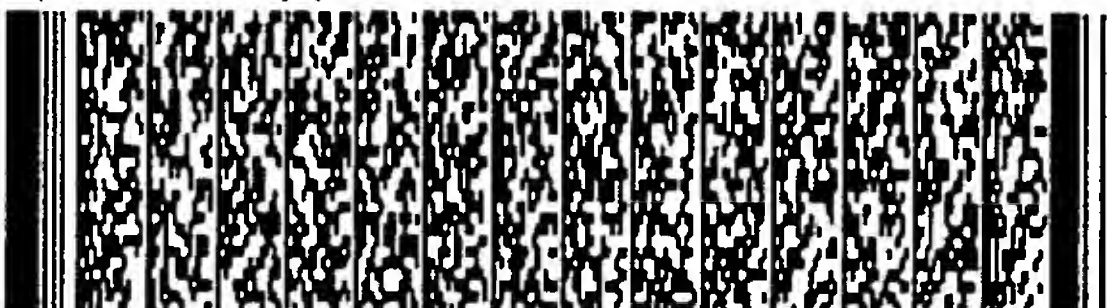
第 6/25 頁



第 7/25 頁



第 7/25 頁



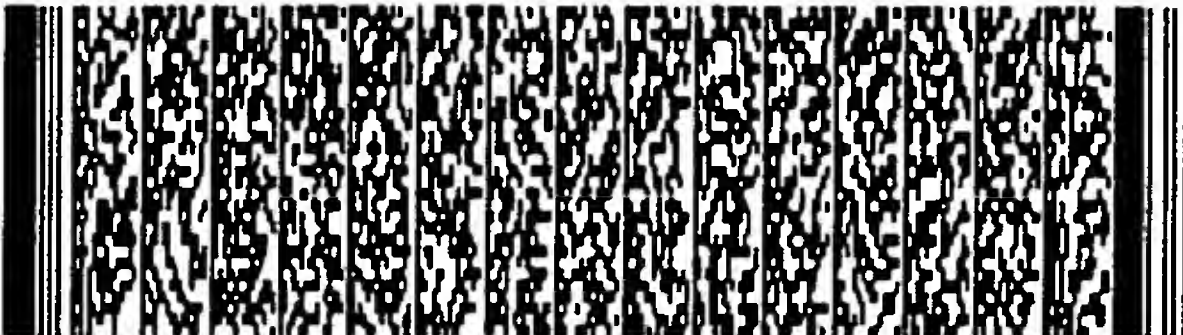
第 8/25 頁



第 8/25 頁



第 9/25 頁



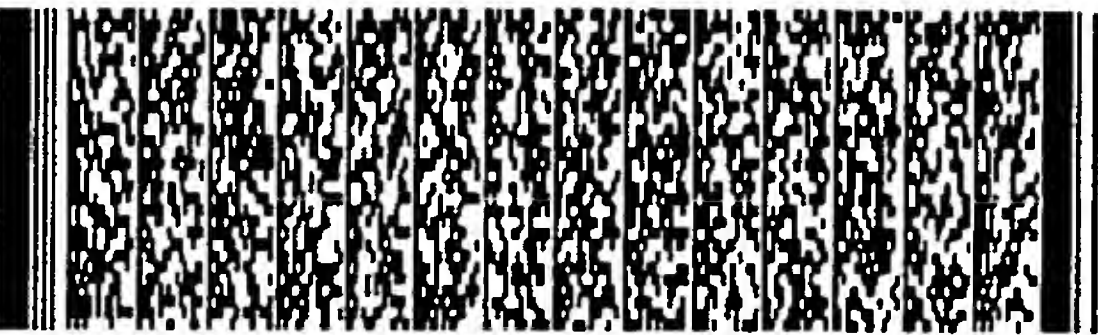
第 9/25 頁



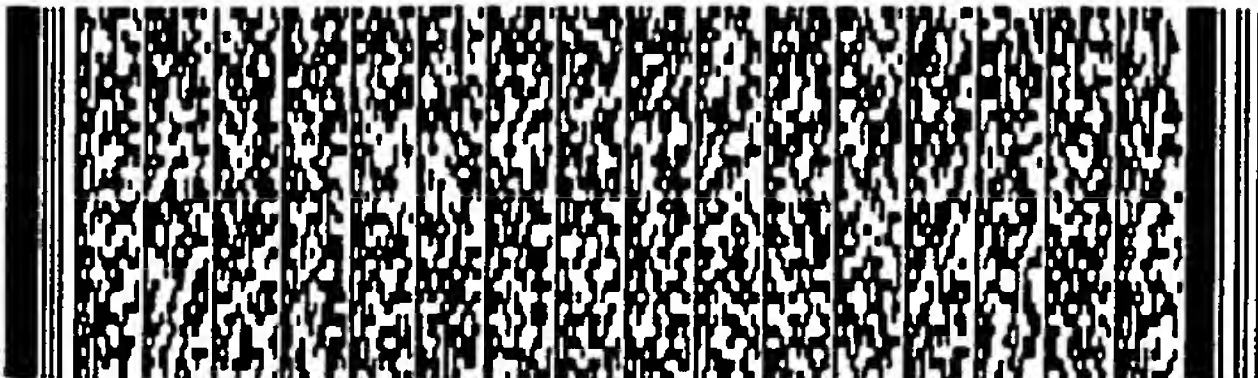
第 10/25 頁



第 10/25 頁



第 11/25 頁



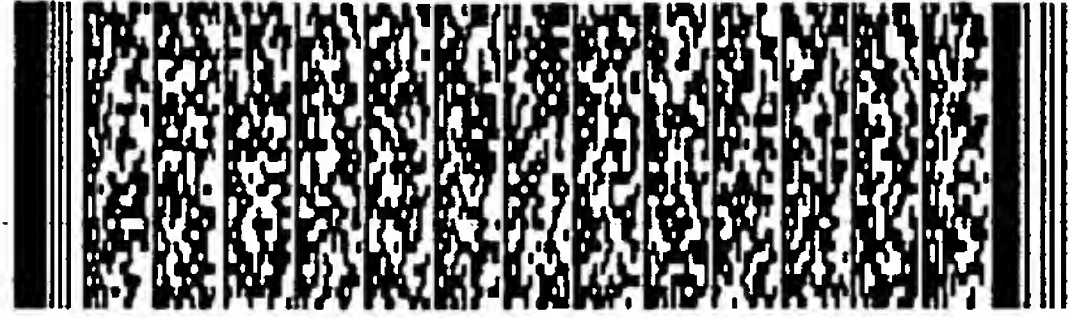
第 12/25 頁



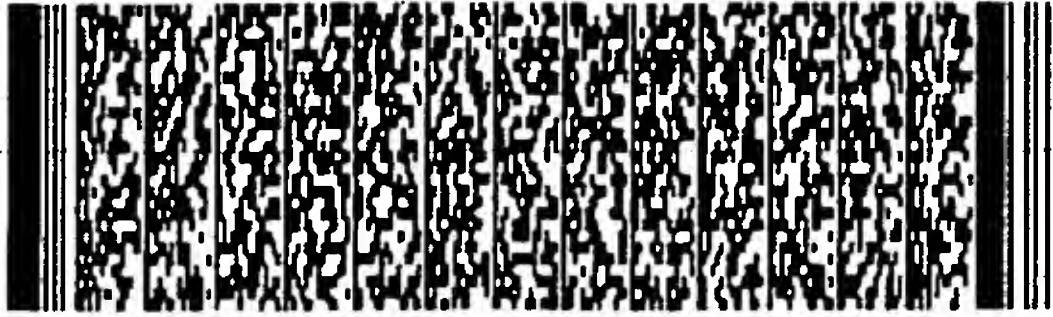
第 12/25 頁



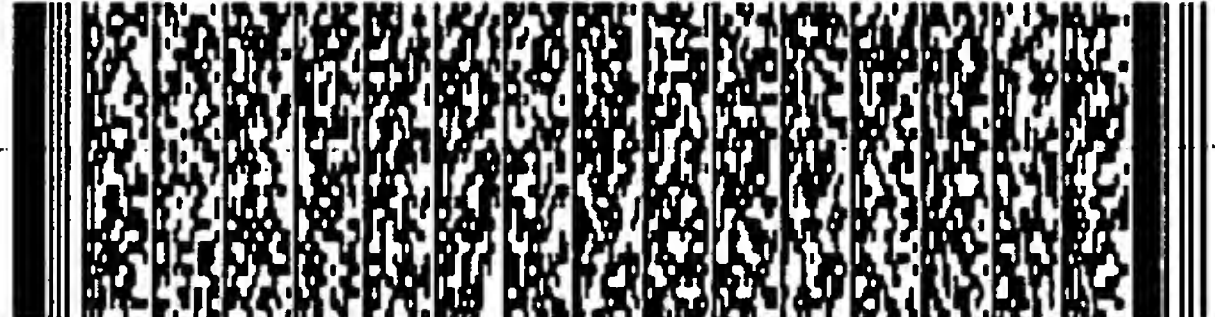
第 13/25 頁



第 13/25 頁



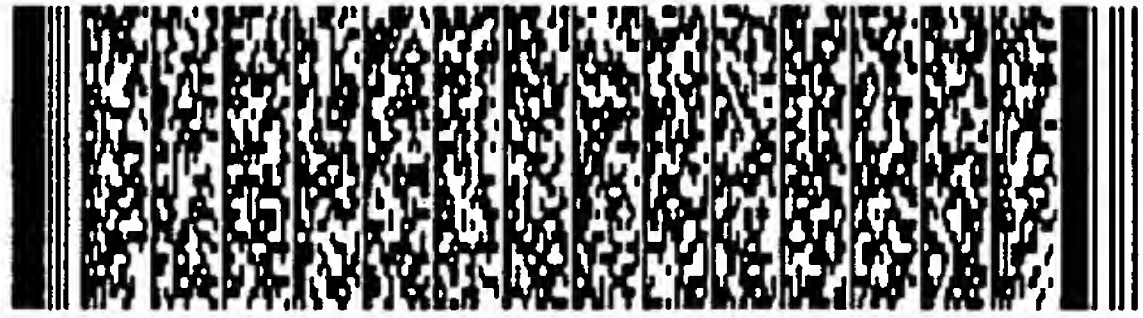
第 14/25 頁



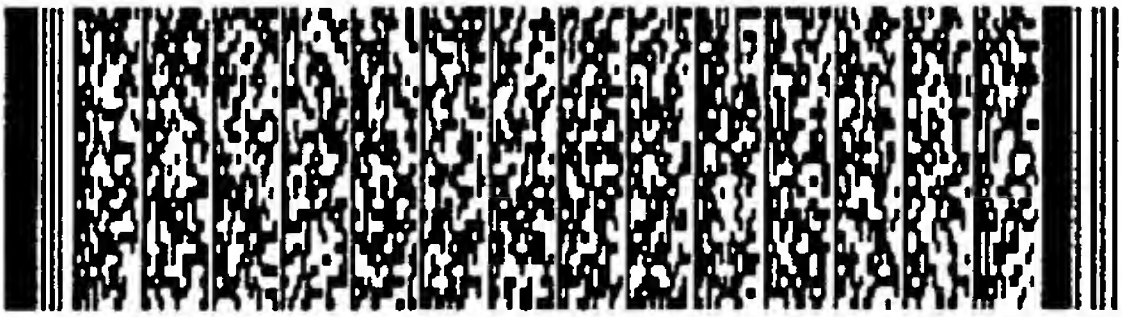
第 14/25 頁



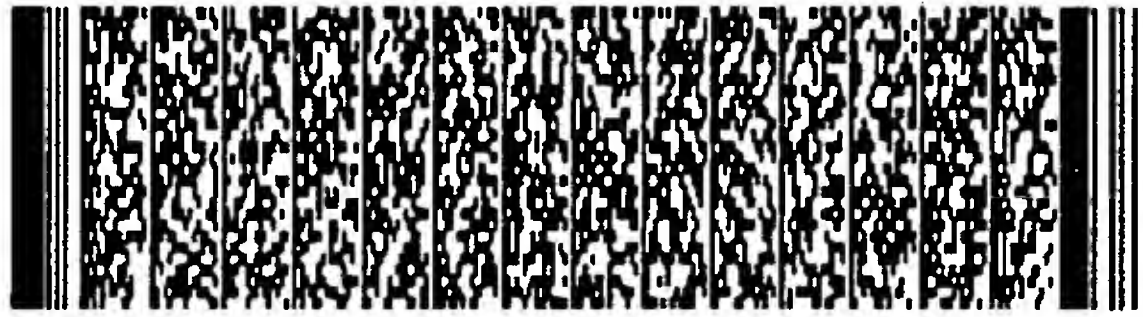
第 15/25 頁



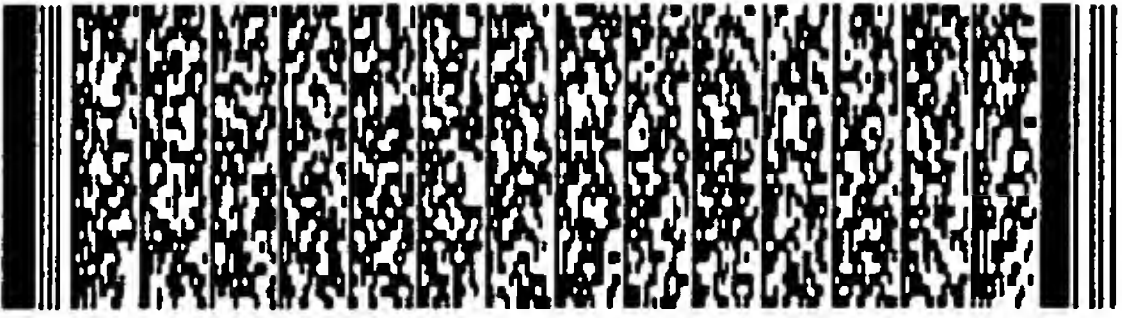
第 15/25 頁



第 16/25 頁



第 16/25 頁



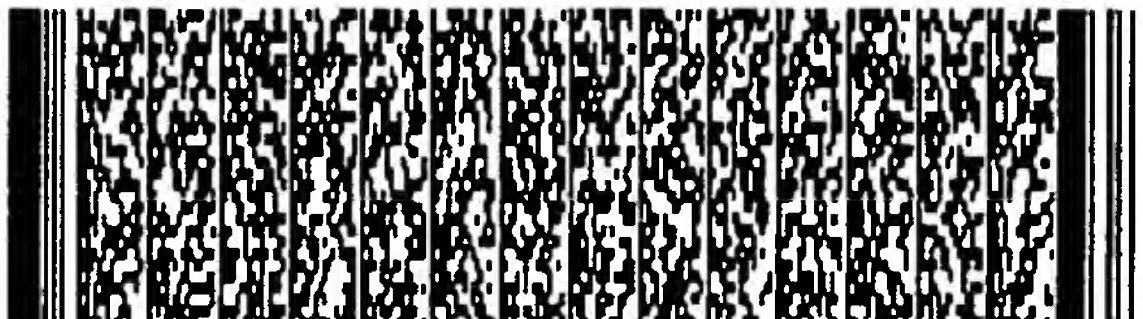
第 17/25 頁



第 17/25 頁



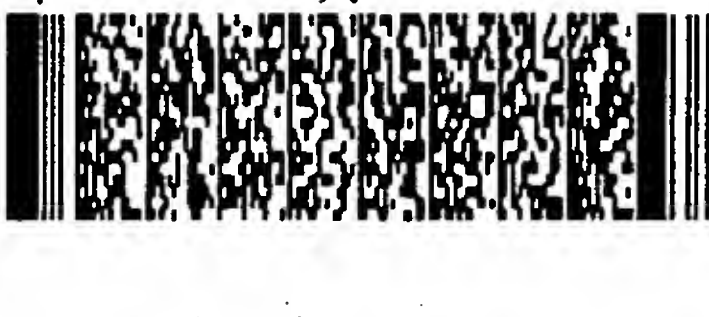
第 18/25 頁



第 18/25 頁



第 19/25 頁



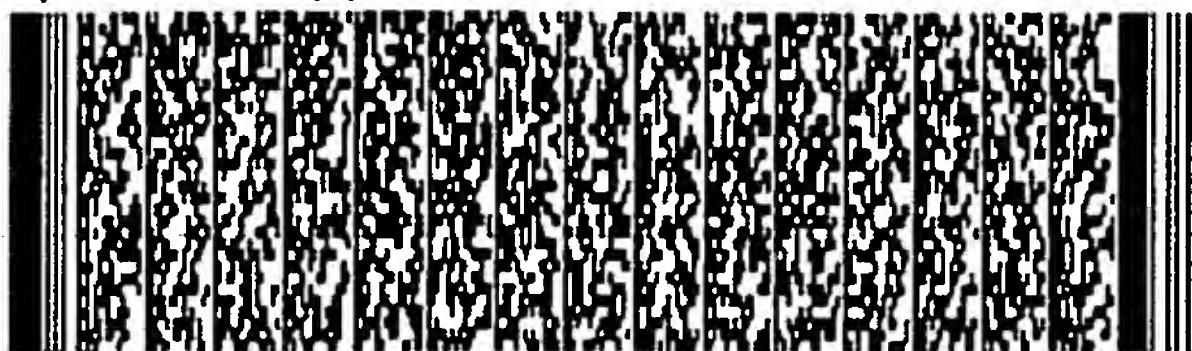
第 20/25 頁



第 21/25 頁



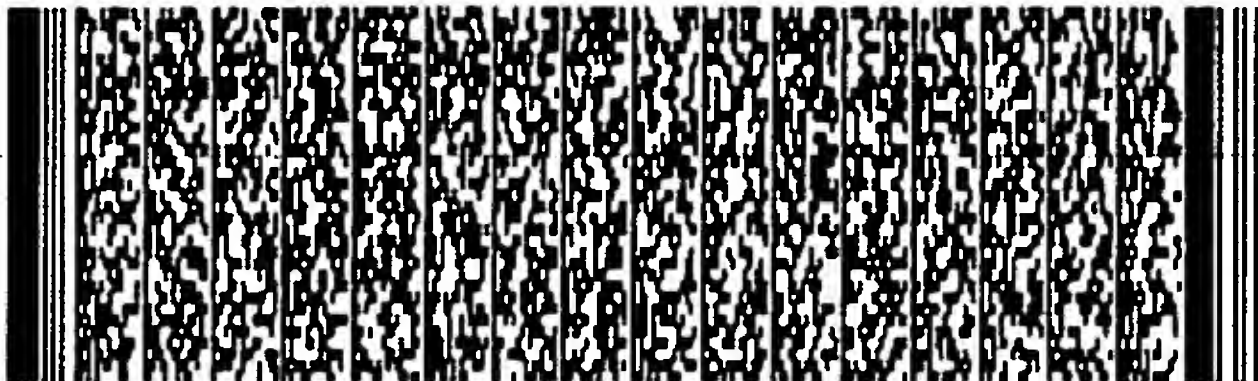
第 22/25 頁



第 23/25 頁



第 24/25 頁



第 25/25 頁

